

КОМП'ЮТЕРНА ІНЖЕНЕРІЯ

УДК 681.325

СРАВНИТЕЛЬНЫЙ АНАЛИЗ АППАРАТУРНЫХ ЗАТРАТ И БЫСТРОДЕЙСТВИЯ СХЕМНЫХ РЕАЛИЗАЦИЙ ПРЕОБРАЗОВАТЕЛЕЙ КОДОВ НА РЕГИСТРАХ СДВИГА

ВАРЕЦА В.В., ЛИТВИНОВА Е.И., КАКУРИН Н.Я.

Рассматриваются различные структуры преобразователей кодов на базе регистров сдвига. Предлагаются математические модели основных узлов специализированных преобразователей кодов – формирователей эквивалентов.

Постановка задачи

В устройствах сопряжения цифровых блоков, функционирующих в различных системах счисления, а также в информационно-управляющих системах целесообразно использовать специализированные преобразователи кодов (СПК). При применении СПК в качестве предпроцессора для преобразования чисел из десятичной системы в двоичную быстродействие центрального процессора не будет снижаться. Быстродействие и аппаратные затраты СПК в большей степени определяются методом преобразования. К числу наиболее гибких методов преобразования относится метод накопления эквивалентов, позволяющий за счет выбора числа шагов преобразования, величин шагов числа блоков СПК и схемного решения (на базе счетчиков, регистров сдвига) регулировать соотношение аппаратных затрат и числа тактов преобразования.

В данной работе рассматривается способ повышения быстродействия трех типов СПК на регистрах сдвига: однокодерный СПК с 5-ю тактами преобразования, 2-кодерный СПК с 3-мя тактами преобразования и 4-кодерный СПК с 2-мя тактами преобразования, основанный на учете младшего разряда преобразуемого кода, что позволяет сократить число тактов преобразования до 4-х, 2-х и 1-го соответственно. Предложены и обоснованы математические модели основных узлов этих СПК – формирователей эквивалентов (ФЭ).

Структуры и функционирование СПК на регистрах сдвига

В устройстве преобразование числа выполняется за два этапа: на первом этапе происходит преобразование первых бит всех старших разрядов, затем выполняется правый сдвиг на один такт и преобразуются все вторые биты; затем снова производится сдвиг и преобразуются третьи биты вновь после сдвига происходит преобразова-

ние четвертых бит всех старших преобразуемых цифр. После четвертого сдвига выполняется трансляция младшего разряда преобразуемого числа, что и является вторым этапом. Таким образом, на преобразование четырехбитовых цифр затрачивается 5 тактов.

Преобразователь содержит группу из n разрядных регистров 1 сдвига, где n – разрядность входного кода, параллельные информационные входы которого являются входами преобразователя; генератор 2 импульсов, содержащий прямой П, инверсный И, прямой задержанный ПЗ выходы; группу из n триггеров 3 состояния, при этом информационные входы i -го триггера 3 состояния ($i=1,2,\dots,n$) соединены с выходом первого бита i -го разрядного регистра 1 _{i} сдвига, входы сдвига которого соединены с инверсным выходом генератора 2 импульсов; накапливающий сумматор 4, выполненный из комбинационного двоичного сумматора 5 и регистра 6 результата, выходы которого являются выходами преобразователя и соединены с соответствующими вторыми входами комбинационного двоичного сумматора 5, первые входы которого являются информационными входами накапливающего сумматора 4 (рис. 1). ФЭ 7 состоит из шифратора 8, суммирующего счетчика 10 импульсов с предустановкой и комбинационного сдвигателя 9, выполненного на мультиплексорах. Первые входы комбинационного двоичного сумматора 5 соединены с соответствующими выходами сдвигателя 9. Выходы комбинационного двоичного сумматора 5 соединены с входами регистра 6 результата, синхровход которого соединен с прямым задержанным выходом генератора 2 импульсов; его прямой выход соединен с синхровходом группы триггеров 3 состояния, прямые выходы которых соединены с входами информационной группы входов ФЭ 7. Управляющие входы сдвигателя 9 соединены с соответствующими выходами суммирующего счетчика 10 импульсов, а синхровход соединен с прямым выходом генератора 2 импульсов. Информационные входы сдвигателя 9 соединены с соответствующими выходами шифратора 8, выход L которого соединен со входом D0 L-го мультиплексора сдвигателя 9, со входом D1 (L+1)-го мультиплексора, со входом D2 (L+2)-го мультиплексора, со входом D3 (L+3)-го мультиплексора. Оставшиеся свободные входы мультиплексоров заземлены. Выходы мультиплексоров старших разрядов сдвигателя 9 являются информационными выходами ФЭ 7. Структурно-функциональная схема формирователя 7 эквивалентов приведена на рис. 2.

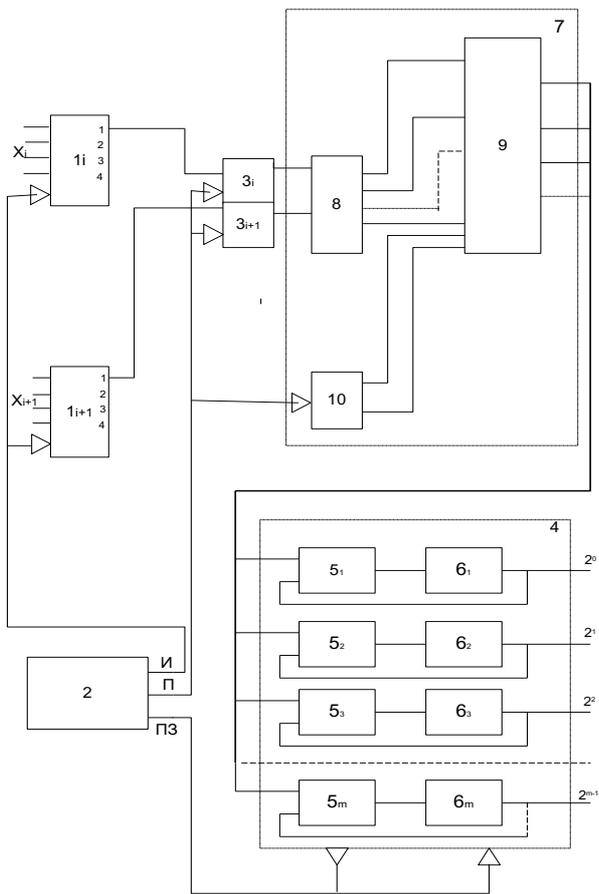


Рис. 1. Структура однокодерного СПК на регистрах сдвига

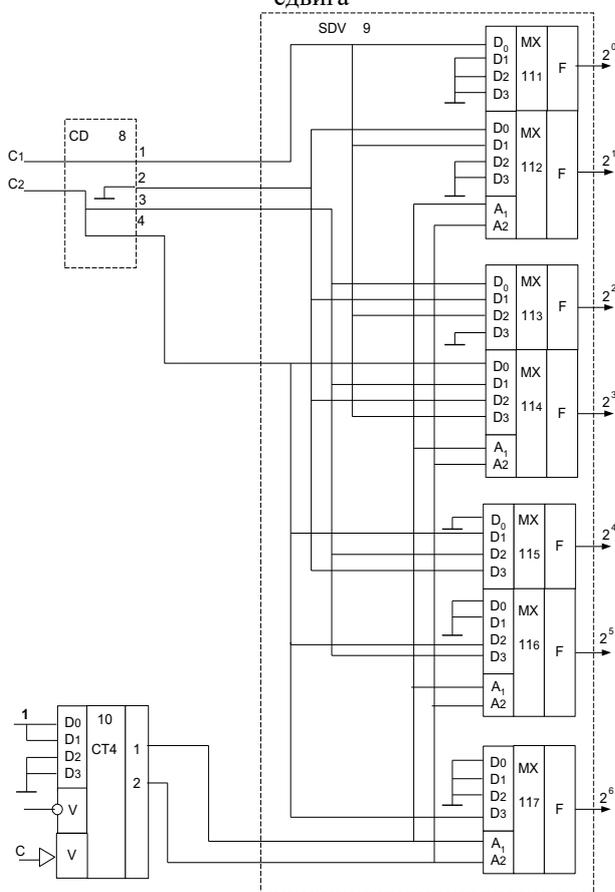


Рис. 2. Структурная схема формирователя эквивалентов

Однокодерный СПК работает следующим образом. Группа триггеров 3 фиксирует значение первых выходов соответствующих старших разрядных регистров 1.

Так как в конкретном случае $n=2$, $K=12$, то диапазон изменения входного кода – от 0 до $(12^2 - 1) = 0 - 143(10)$.

Код состояний триггеров 3 может иметь четыре значения от 00 до 11.

В рассматриваемом преобразователе двоично-К-ичного кода в двоичный код формирователь эквивалентов 7, выполненный в виде последовательного соединения шифратора 8, счетчика 10 с предустановкой и сдвигателя 9, реализует функцию:

$$S = \begin{cases} K^0 C_1 + K^1 C_2, & \text{при } j=1; \\ aK^0 C_1 + aK^1 C_2, & \text{при } j=2; \\ bK^0 C_1 + bK^1 C_2, & \text{при } j=3; \\ cK^0 C_1 + cK^1 C_2, & \text{при } j=4, \end{cases} \quad (1)$$

где a – параметр (второй шаг преобразования); b – параметр (третий шаг преобразования); c – параметр (четвертый шаг преобразования); j – номер такта сдвига.

ФЭ 7 преобразует вначале в первом такте двоичный код $C_2 C_1$ триггеров состояния, соответствующих значениям бита 1 соответствующих старших разрядных регистров 1; во втором такте преобразует со сдвигом влево на один разряд (в сторону старших двоичных разрядов) код $C_2 C_1$ триггеров 3 состояния, соответствующих значениям бита 2 старших разрядных регистров 1; в третьем такте преобразует со сдвигом влево на два разряда код $C_2 C_1$ триггеров 3 состояния, соответствующих значениям бита 4 старших разрядных регистров 1; в четвертом такте преобразует со сдвигом влево на три разряда код $C_2 C_1$ триггеров 3 состояния, соответствующих значениям бита 8 старших разрядных регистров 1.

Рассмотрим работу устройства на следующем примере.

Пусть требуется преобразовать входной 12-ричный код числа

$$A_0 = 1011\ 1010\ (2-12) = VA(12) = 142(10).$$

Для определенности примем значения параметров a , b , c равными значениям весов второго, третьего и четвертого битов тетрады, т.е. $a=2$, $b=4$, $c=8$.

ФЭ в данном случае реализует функцию:

Таблица 1

$$S = \begin{cases} K^0 C_1 + K^1 C_2, j = 1; \\ 2K^0 C_1 + 2K^1 C_2, j = 2; \\ 4K^0 C_1 + 4K^1 C_2, j = 3; \\ 8K^0 C_1 + 8K^1 C_2, j = 4. \end{cases} \quad (2)$$

Преобразование двоичных кодов С2 С1 триггеров 3 состояния соответствует табл. 1 ($K=12$; $a=2$; $b=4$; $c=8$).

В исходном состоянии регистр 6 результата обнулен, на прямом П и прямом задержанном ПЗ выходах генератора 2 -низкий уровень; на инверсном И выходе генератора 2 -высокий уровень.

Запись информации в триггеры 3 состояния с первых (младших) выходов соответствующих старших разрядных регистров 1 сдвига производится перепадом 0 - 1, т.е. по переднему фронту импульсов с прямого выхода П генератора 2;

сдвиг вправо в старших разрядных регистрах 1 также производится перепадом 0 - 1, т.е. по заднему фронту импульсов с инверсного выхода И генератора 2.

Первоначальное занесение параллельного двоично-12-ричного кода преобразуемого числа в разрядные регистры 1 и предустановка суммирующего счетчика 10 формиратора эквивалентов 7 в состояние $11(2) = 3(10)$ выполняется подачей нулевого сигнала на входы V разрядных регистров 1 сдвига и на вход параллельного занесения V счетчика 10. Запись информации в регистр результата производится перепадом 1 - 0 импульса с прямого задержанного выхода ПЗ генератора 2.

С приходом переднего фронта первого положительного импульса с прямого выхода генератора 2 состояние суммирующего счетчика 10 по mod 4 изменится с $11(2)$ на $00(2)$; нулевой код триггеров 3 состояния изменится с С2 С1 = 0 0 на С2 С1 = 1 0. Этот код С2 С1 = 1 0 поступает на входы формиратора эквивалентов 7 и преобразуется в двоичный код числа 12 на выходе.

Поступая с выхода ПЗ генератора 2, передний фронт первого положительного задержанного импульса ПЗ разрешит сложение чисел 0 и 12, а задний фронт этого же импульса произведет запись информации с выходов сумматора 5 в регистр 6 результата, установив на вторых суммирующих входах сумматора 5 двоичное значение числа 12.

С приходом заднего фронта первого отрицательного импульса с инверсного выхода И генератора

Такт	Триггеры состояния	Общий вид эквивалента	Десятичный код эквивалента	Левый сдвиг	Значения выходных разрядов Y
J	C2 C1	S	S10	m	7 6 5 4 3 2 1
1	0 0 0 1 1 0 1 1	0 K^0 K^1 $K^1 + K^0$	0 1 12 13	0	000 0000 000 0001 000 1100 000 1101
2	0 0 0 1 1 0 1 1	0 aK^0 aK^1 $aK^1 + aK^0$	0 2 24 26	1	000 0000 000 0010 001 1000 001 1010
3	0 0 0 1 1 0 1 1	0 bK^0 bK^1 $bK^1 + bK^0$	0 4 48 52	2	000 0000 000 0100 011 0000 011 0100
4	0 0 0 1 1 0 1 1	0 cK^0 cK^1 $cK^1 + cK^0$	0 8 96 104	3	000 0000 000 1000 110 0000 110 1000

ра 2, т.е. по перепаду 1 - 0 на входах синхронизации С разрядных регистров 1 произойдет сдвиг информации в этих регистрах на один разряд, т.е. в регистрах 1 установится число: $A1 = 0101 0101$. С приходом переднего фронта второго положительного импульса с прямого выхода генератора 2 состояние суммирующего счетчика 10 изменится с 00 на 01, а состояния триггеров 3 С2 С1 изменится с 10 на 11, что приведет к передаче сформированного CD 8 числа 13 на входы сдвигателя 9 и к передаче его со сдвигом влево на один разряд на входы сумматора 4 (сдвиг влево на один разряд соответствует числу 26).

Передний фронт второго положительного задержанного импульса с выхода ПЗ генератора 2 разрешит сложение чисел 12 и 26, а задний фронт этого же импульса произведет перезапись результата суммирования с выходов сумматора 5 в регистр 6 результата, установив на вторых суммирующих входах сумматора 5 двоичное значение числа 38. Задний фронт второго отрицательного импульса установит в разрядных регистрах 1 сдвига число: $A2 = 0010 0010$.

С приходом переднего фронта третьего положительного импульса с прямого выхода генератора 2 состояние суммирующего счетчика 10 изменится с 01 на 10, что приведет к сдвигу влево на два разряда выходного двоичного кода шифратора 8 с помощью сдвигателя 9 и к записи в триггеры 3 состояния кода С2 С1 = 00. На входах ФЭ 7 появится двоичный код числа 0. Передний фронт третьего прямого задержанного импульса разрешит сложение чисел 38 и 0, а задний фронт

этого же импульса произведет перезапись результата суммирования с выходов сумматора 5 в регистр 6 результата, установив на вторых суммирующих входах сумматора 5 двоичное значение числа 38. Задний фронт третьего отрицательного импульса установит в разрядных регистрах 1 сдвига число: $A_3 = 0001\ 0001$.

С приходом переднего фронта четвертого положительного импульса с прямого выхода генератора 2 состояние суммирующего счетчика 10 по mod 4 изменится с 10 на 11, а код триггеров 3 состояний – с $C_2\ C_1 = 00$ на $C_2\ C_1 = 11$. Код $C_2\ C_1 = 11$ поступает на входы шифратора CD 8 эквивалентов и преобразуется в двоичный код числа 104. Передний фронт четвертого прямого задержанного импульса с выхода ПЗ генератора 2 разрешит сложение чисел 104 и 38, а задний фронт этого же импульса произведет перезапись результата суммирования в регистр 6 результата, установив на вторых суммирующих входах сумматора 5 двоичное значение числа 142. Задний фронт четвертого импульса с выхода И генератора 2 установит в разрядных регистрах 1 сдвига число

$$A_4 = 0000\ 0000.$$

На этом процесс преобразования заканчивается. Перед каждым следующим преобразованием необходимо обнулить регистр 6 результата и выполнить запись преобразуемого двоично-12-ричного числа в регистры 1 сдвига. Быстродействие рассмотренного устройства не зависит от разрядности преобразуемого кода и для 12-ричной системы счисления не превышает 4 тактов.

Дальнейшее повышение быстродействия в известных устройствах преобразования данных может быть достигнуто путём одновременной обработки нескольких битов при преобразовании. Если в структуру СПК ввести второй подрегистр 4 состояний третьих бит и второй кодер 9_2 , то за счет одновременной обработки первых и третьих бит число тактов преобразования может быть уменьшено до двух. В схему СПК для суммирования составляющих эквивалентов от первых и третьих бит введем комбинационный сумматор 12. Структура двухкодерного СПК на регистрах сдвига представлена на рис. 3.

Преобразователь содержит группу из n разрядных регистров 1 сдвига, где n - разрядность входного кода, параллельные информационные входы которых являются входами преобразователя, а в данном случае $n=2$, генератор 2 импульсов, содержащий прямой П, инверсный И, прямой задержанный ПЗ выходы, первую группу из $n=2$ триггеров 3 состояния, вторую группу из $n=2$ триггеров 4 состояния, накапливающий сумматор 5, выполненный из комбинационного

двоичного сумматора 6 и регистра 7 результата, ФЭ 8, состоящий из первого 9_1 и второго 9_2 шифраторов, суммирующего счетчика 10 импульсов с предустановкой и комбинационного сдвигателя 11.

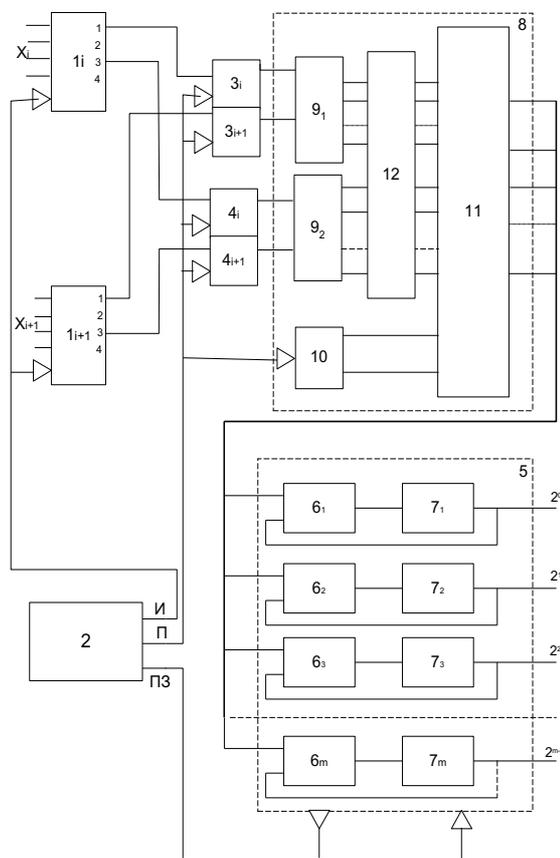


Рис. 3. Структура двухкодерного СПК на регистрах сдвига

Устройство работает следующим образом.

Поскольку в конкретном случае $n=2$, $K=12$, то диапазон изменения входного кода от 0 до $(12^2 - 1) = 0 - 143(10)$.

Группа триггеров 3 состояния фиксирует значение первых битов (выходов) соответствующих старших разрядных регистров 1_i и 1_{i+1} . Группа триггеров 4 состояния фиксирует значение третьих битов (выходов) соответствующих старших разрядных регистров 1_i и 1_{i+1} .

Код состояний триггеров как первой группы 3, так и второй группы 4 может иметь четыре значения от 00 до 11.

В рассматриваемом двухкодерном преобразователе двоично- K -ичного кода в двоичный код ФЭ 8, выполненный в виде последовательного соединения комбинационного сдвигателя 11, комбинационного сумматора 12, первого и второго шифраторов 9_1 и 9_2 , а также суммирующего счетчика 10 импульсов с предустановкой, реализует функцию:

$$S = \begin{cases} (K^0 C_1 + K^1 C_2) + (bK^0 D_1 + bK^1 D_2), j = 1; \\ (aK^0 C_1 + aK^1 C_2) + (cK^0 D_1 + cK^1 D_2), j = 2, \end{cases} \quad (3)$$

где a – второй шаг преобразования (вес второго бита); b – третий шаг преобразования (вес третьего бита); c – четвертый шаг преобразования (вес четвертого бита); j – номер такта сдвига. Первый шаг преобразования (вес первого бита) равен 1. ФЭ 8 преобразует вначале в первом такте двоичный код $C_2 C_1$ триггеров 3 состояния, соответствующих значениям бита 1, соответствующих значениям бита 1 соответствующих старших разрядных регистров 1 и двоичный код $D_2 D_1$ триггеров 4 состояния, соответствующих значениям бита 3 соответствующих старших разрядных регистров 1; во втором такте преобразует со сдвигом влево на один разряд (в сторону старших двоичных разрядов) код $C_2 C_1$ триггеров 3 состояния, соответствующих значениям бита 2 разрядных регистров 1 и двоичный код $D_2 D_1$ триггеров 4 состояния, соответствующих значениям бита 4 соответствующих разрядных регистров 1.

При использовании двоично-десятичного кода прямого замещения 8421, $c=8$, $b=4$, $a=2$, значение эквивалента на выходе формирователя эквивалентов описывается функцией:

$$S = \begin{cases} (K^0 C_1 + K^1 C_2) + (4K^0 D_1 + 4K^1 D_2), j = 1; \\ 2[(K^0 C_1 + K^1 C_2) + (4K^0 D_1 + 4K^1 D_2)], j = 2, \end{cases} \quad (4)$$

где 2 перед квадратной скобкой означает сдвиг влево на один двоичный разряд с помощью комбинационного сдвигателя 11.

Составляющая эквивалента, соответствующая выражению $(K^0 C_1 + K^1 C_2)$, формируется в каждом такте первым шифратором 9_1 , составляющая эквивалента, соответствующая второму выражению $(bK^0 D_1 + bK^1 D_2)$, формируется в каждом такте вторым шифратором 9_2 . Сложение обеих составляющих выполняется комбинационным двоичным сумматором 12. Рассмотрим работу устройства на предыдущем примере.

Пусть требуется преобразовать двухразрядный входной 12-ричный код числа $A_0 = 1011\ 1010$ ($2-12$) = $=BA(12) = 142(10)$. ФЭ 8 при использовании кода прямого замещения 8421 реализует:

$$S = \begin{cases} (1C_1 + 12C_2) + (4D_1 + 48D_2), j = 1; \\ (2C_1 + 24C_2) + (8D_1 + 96D_2), j = 2. \end{cases} \quad (5)$$

В первом такте состояния триггеров первой группы 3 $C_2 C_1=10$, что соответствует составляющей эквивалента 12; состояния триггеров второй группы 4 $D_2 D_1=00$, что соответствует составляющей эквивалента 0. На выходе сумматора 12 результирующий эквивалент равен 12; этот результат будет занесен в итоговый сумматор 5.

Во втором такте состояния триггеров первой группы 3 $C_2 C_1=11$, что соответствует составляющей эквивалента 13; состояния триггеров второй группы 4 $D_2 D_1=11$, что соответствует составляющей эквивалента 52; на выходе сумматора 12 результирующий эквивалент равен $52+13=65$. В результате левого сдвига сдвигателем 11 двоичного кода числа 65 на первые входы накапливающего сумматора 5 поступит число 130. В конце второго такта будет выполнено сложение чисел 12 и 130. Итоговый результат равен 142.

При одновременном анализе всех четырех бит преобразуемого числа формируется четыре составляющих эквивалента кодерами 5_1-5_4 и производится их попарное суммирование двумя каскадами комбинационных сумматоров $6_1, 6_2$ и 7. Итоговый результат заносится в накапливающий сумматор 5. Сдвигатель в структуре четырехкодерного одноклового СПК отсутствует. Структура одноклового СПК представлена на рис. 4.

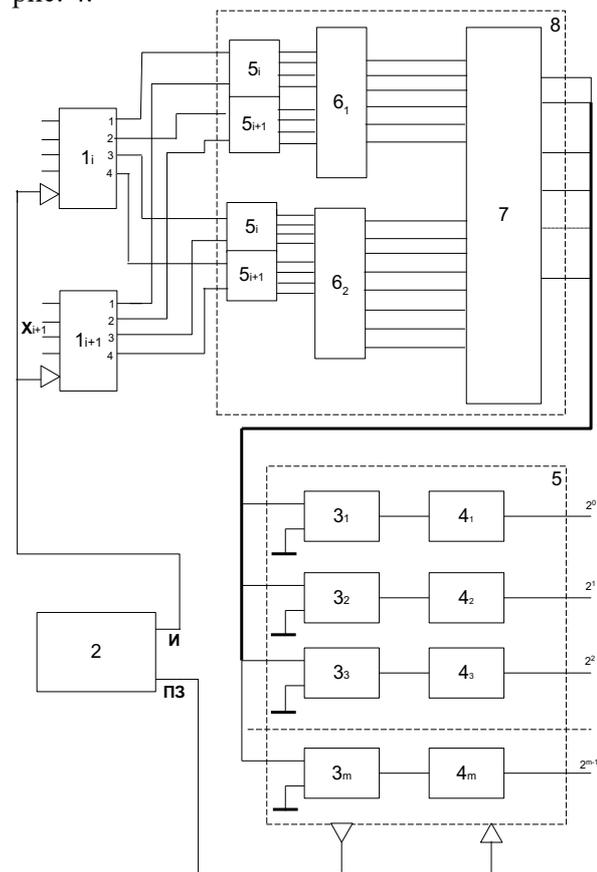


Рис. 4. Структура одноклового четырехкодерного СПК

ФЭ 8 при использовании кода прямого замещения 8421 в однокловоом СПК реализует функцию:

$$S = [(1 C_1 + 12 C_2) + (2 D_1 + 24 D_2)] + [(4 E_1 + 48 E_2) + (8 F_1 + 96 F_2)]. \quad (6)$$

Состояния триггеров первых бит $C2C1=10$ преобразуются первым кодером 5_1 в составляющую эквивалента 12; состояния триггеров вторых бит $D2D1=11$ преобразуются вторым кодером 5_2 в составляющую эквивалента 26; состояния триггеров третьих бит $E2E1=00$ преобразуются кодером 5_3 в составляющую эквивалента 0; состояния триггеров четвертых бит $F2F1=11$ преобразуются кодером 5_4 в составляющую эквивалента 104. Итоговым результатом преобразования будет число 142.

Алгоритм системного проектирования СПК на базе регистров сдвига

Аппаратурные затраты на реализацию операционного автомата любой возможной структуры одинаковы и определяются в основном разрядностью преобразуемых чисел и составляют 6 регистров сдвига и 1 регистр состояний. Затраты на управляющий автомат (УА) составляют примерно 5 корпусов и не зависят от разрядности преобразуемых чисел. Задавая каждый раз различные значения исходных данных для всех 4 разбиений, получим затраты на кодер CD, на сдвигатель SDV, на внутренний и внешний сумматоры (СМ) (табл. 2).

Таблица 2

Затраты	6 разрядов x 1 блок	3 разряда x 2 блока	2 разряда x 3 блока	1 разряд x 6 блоков
РГ	7	7	7	7
СТ	1	2	3	6
УА	5	5	5	5
СДВ	6	9	12	21
ФЭ	63	9	8	1
СМ внутр.	0	6	12	28
СМ внеш.	6	6	6	6
Всего	88	44	53	94

Анализ табл.2 показывает, что по критерию минимума аппаратурных затрат лучшим вариантом декомпозиции является вариант разбиения на 2 блока. На основании рассмотренного сформулируем алгоритм системного проектирования СПК на регистрах сдвига:

1. Задать в программе РТНА значения исходных данных: основание входной системы счисления; число входных разрядов; число блоков; число шагов, равное 1; значение шага, равное 1.
2. С помощью программы РТНА выполнить генерацию таблиц формирователей эквивалентов всех блоков и расчет аппаратурных затрат на реализацию функций выхода каждого блока.
3. Данные аппаратурных затрат по каждому типу корпуса ИС внести в таблицу аппаратурных затрат для каждого блока.

4. Выполнить вручную расчет числа корпусов на реализацию внешних сумматоров и дополнить таблицу затрат, полученную в п.3.

5. Перейти к п.1, изменить число блоков разбиения в исходных данных (не меняя значения остальных параметров) и далее выполнить последовательно п. 2-5 алгоритма.

6. На основании суммарного числа корпусов всех блоков и всех разбиений выбрать оптимальный вариант реализации преобразователя кодов (ПК) по минимальному значению числа корпусов.

7. Выполнить проектирование оптимального варианта построения ПК в заданном схемотехническом базисе и определение всех его основных параметров: потребляемой мощности, быстродействия и надежности.

Для расчета 2-кодерного СПК следует задавать шаги 4 и 1; для 4-кодерного СПК – 8,4,2,1.

Выводы

Научная новизна выполненного исследования заключается в следующем:

1. Проанализированы структуры преобразователей кодов на базе регистров сдвига и показано, что уменьшение числа тактов преобразования на один достигается за счет реализации режима преобразования чисел с учетом младшего разряда.

2. Предложен алгоритм системного проектирования СПК на базе регистров сдвига, позволяющий выполнить выбор минимального по аппаратурным затратам варианта разбиения СПК на блоки.

Практическая значимость исследования состоит в возможности ускорения этапа автоматизированного проектирования СПК на регистрах сдвига и увеличения быстродействия преобразования на один такт.

Литература: 1. Какурин Н.Я., Варца В.В., Коваленко С.Н. Параллельная стратегия использования шагов в двухшаговых преобразователях кодов // АСУ и приборы автоматики. 2007. Вып. 141. С. 29-36. 2. Какурин Н.Я., Варца В.В., Коваленко С.Н. Структуры формирователей эквивалентов для преобразователей кодов с параллельным использованием шагов преобразования // Информационно-управляющие системы на железнодорожном транспорте. 2008. №5-6. С.66-70. 3. Какурин Н.Я., Бочаров Е.В., Варца В.В., Полежаев К.В., Замалеев Ю.С. Программное средство для анализа преобразований чисел в преобразователях кодов параллельного типа // АСУ и приборы автоматики. 2011. Вып.154. С.83-90. 4. Пат. №71361 Україна. Регістр зсуву. Какурін М.Я., Лопухін Ю.В., Хаханов В.І., Варца В.В., Макаренко Г.М.; ХНУРЕ // Промислова власність 2012; бюл. №13. 5. Пат. №83310 Україна. Реверсивний регістр зсуву. Какурін М.Я., Хаханов В.І., Литвинова С.І., Варца В.В., Макаренко Г.М.; ХНУРЕ // Промислова власність 2013; бюл. 17. 6. Пат. №90665 Україна. Реверсивний регістр зсуву. Какурін М.Я.,

Хаханов В.И., Литвинова С.И., Варца В.В., Макаренко Г.М.; ХНУРЕ // Промислова власність 2014; бюл. 7. Угрюмов Е. П. Цифровая схемотехника / Е. П. Угрюмов. СПб.: БХВ-Петербург, 2010. 816 с. 8. Преобразователи кодов чисел [Текст] / М. М. Сухомлинов, В. И. Выхованец. Киев: Техніка, 1965. 136 с. 9. Ефанов Д. В. Трехмодульные коды с суммированием для технической диагностики и синтеза контролепригодных дискретных систем // Изв. вузов. Приборостроение. 2019. Т. 62, № 2. С. 106–116. 10. Ефанов Д. В., Сапожников В. В., Сапожников Вл. В. О свойствах кода с суммированием в схемах функционального контроля // Автоматика и телемеханика. 2010. № 6. С. 155–162. 11. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Контроль комбинационных схем на основе кодов с суммированием с одним взвешенным информационным разрядом // Автоматика на транспорте. 2016. Т. 2, № 4. С. 564–597. 12. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Коды с суммированием единичных информационных разрядов с произвольными модулями счета // Автоматика на транспорте. 2018. Т. 4, № 1. С. 106–130. 13. Сапожников В. В., Сапожников Вл. В., Ефанов Д. В. Эффективный способ модификации кодов с суммированием единичных информационных разрядов // Изв. вузов. Приборостроение. 2017. Т. 60, № 11. С. 1020–1032. DOI: 10.17586/0021-3454-2017-60-11-1020-1032. 14. Сапожников В.В., Сапожников Вл.В., Ефанов Д.В. Алгоритмы синтеза генераторов модульных кодов с суммированием взвешенных переходов с последовательностью весовых коэффициентов, образующих натуральный ряд чисел // Автоматика на транспорте. 2017. Т. 3, № 2. С. 280–301. 15. Мехов В.В., Сапожников Вл.В. Контроль комбинационных схем на основе модифицированных кодов с суммированием // Автоматика и телемеханика. 2008. № 8. С. 153–165.

Transliterated bibliography:

1. Kakurin N.Ya., Varecza V.V., Kovalenko S.N. Parallelnaya strategiya ispol'zovaniya shagov v dvukhshagovykh preobrazovatelyakh kodov // ASU i pribory avtomatiki. 2007. Vy'p.141. S.29-36.
2. Kakurin N.Ya., Varecza V.V., Kovalenko S.N. Struktury formirovatelej e'kvivalentov dlya preobrazovatelej kodov s parallelnym ispol'zovaniem shagov preobrazovaniya // Informaczi'jno-keruyuchi' sistemi na zali'znichnomu transporti'. 2008. #5-6. S.66-70.
3. Kakurin N.Ya., Bocharov E.V., Varecza V.V., Polezhaev K.V., Zamaleev Yu.S. Programmnoe sredstvo dlya ana-liza preobrazovaniy chisel v preobrazovatelyakh kodov parallelnogo tipa // ASU i pribory avtomatiki. 2011. Vy'p.154. S.83-90.
4. Pat. #71361 Ukrayina. Regi'str zsuvu. Kakuri'n M.Ya., Lopukhi'n Yu.V., Khakhanov V.I., Varecza V.V., Makarenko G.M.; NURE // Promislova vlasni'st' 2012; byul. #13.
5. Pat. #83310 Ukrayina. Reversivnij regi'str zsuvu. Kakuri'n M.Ya., Khakhanov V.I., Litvinova Ye.I., Varecza V.V., Makarenko G.M.; NURE // Promislova vlasni'st' 2013; byul. 17.
6. Pat. #90665 Ukrayina. Reversivnij regi'str zsuvu. Kakuri'n M.Ya., Hahanov V.I., Litvinova Ye.I., Varecza V.V., Makarenko G.M.; NURE // Promislova vlasni'st' 2014; byul.

7. Ugryumov E. P. Czfirovaya skhemotekhnika / E. P. Ugryumov. SPb.: BKhV-Peterburg, 2010. 816 s.
8. Preobrazovateli kodov chisel [Tekst] / M.M. Sukhomlinov, V. I. Vy'khovanecz. Kiev: Tekhni'ka, 1965. 136 s.
9. Efanov D. V. Trekhmodul'ny'e kody s summirovaniem dlya tekhnicheskoy diagnostiki i sinteza kontroleprigodnykh diskretnykh sistem // Izv. vuzov. Priborostroenie. 2019. T. 62, # 2. S. 106–116.
10. Efanov D. V., Sapozhnikov V. V., Sapozhnikov Vl. V. O svoystvakh koda s summirovaniem v skhemakh funktsional'nogo kontrolya // Avtomatika i telemekhanika. 2010. # 6. S. 155–162.
11. Sapozhnikov V. V., Sapozhnikov Vl. V., Efanov D. V. Kontrol' kombinacziy'nykh skhem na osnove kodov s summirovaniem s odnim vzveshenny'm informacziy'ny'm razryadom // Avtomatika na transporte. 2016. T. 2, # 4. S. 564–597.
12. Sapozhnikov V. V., Sapozhnikov Vl. V., Efanov D. V. Kody s summirovaniem edinichnykh informacziy'nykh razryadov s proizvol'ny'mi modul'yami scheta // Avtomatika na transporte. 2018. T. 4, # 1. S. 106–130.
13. Sapozhnikov V. V., Sapozhnikov Vl. V., Efanov D. V. E'ffektivny'j sposob modifikacziy kodov s summirovaniem edinichnykh informacziy'nykh razryadov // Izv. vuzov. Priborostroenie. 2017. T. 60, # 11. S. 1020–1032. DOI: 10.17586/0021-3454-2017-60-11-1020-1032.
14. Sapozhnikov V.V., Sapozhnikov Vl.V., Efanov D.V. Algoritmy sinteza generatorov modul'nykh kodov s summirovaniem vzveshennykh perekhodov s posledovatel'nost'yu vesovykh koeffitsientov, obrazuyushhikh natural'ny'j ryad chisel // Avtomatika na transporte. 2017. T. 3, # 2. S. 280–301.
15. Mekhov V.B., Sapozhnikov V.V., Sapozhnikov Vl.V. Kontrol' kombinacziy'nykh skhem na osnove modifizirovannykh kodov s summirovaniem // Avtomatika i telemekhanika. 2008. # 8. S. 153–165.

Поступила в редколлегию 11.09.2019

Рецензент: д-р техн. наук, проф. Кривуля Г.Ф.

Варца Виталий Викторович, инженер центра тестирования и дистанционного обучения ХНУРЕ. Научные интересы: техническая диагностика. Адрес: Украина, 61166, Харьков, пр. Науки, 14.

Литвинова Евгения Ивановна, д-р техн. наук, проф. кафедры АПВТ. Научные интересы: техническая диагностика. Адрес: Украина, 61166, Харьков, пр. Науки, 14.

Какурин Николай Яковлевич, канд. техн. наук, проф., пенсионер. Научные интересы: техническая диагностика. Адрес: Украина, 61166, Харьков, пр. Науки, 14.

Varetsa Vitaliy Viktorovich, engineer, Testing and Distance Learning Center, NURE. Research interests: technical diagnostics. Address: Ukraine, 61166, Kharkov, Nauki Ave, 14.

Litvinova Evgenia Ivanovna, Dr of Sc, prof. Design Automation Department. Scientific interests: technical diagnostics. Address: Ukraine, 61166, Kharkov, Nauki Ave, 14.

Kakurin Nikolay Yakovlevich, PhD, prof., pensioner. Scientific interests: technical diagnostics. Address: Ukraine, 61166, Kharkov, Nauki Ave, 14.